

OPTICAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**Publication number:** JP2001298240**Publication date:** 2001-10-26**Inventor:** FURUSHIMA YUJI**Applicant:** NIPPON ELECTRIC CO**Classification:****- international:** H01S5/223; H01S5/227; H01S5/323; H01S5/026;
H01S5/042; H01S5/10; H01S5/22; H01S5/00; (IPC1-7):
H01S5/223; H01S5/323**- European:** H01S5/227**Application number:** JP20000110614 20000412**Priority number(s):** JP20000110614 20000412**Also published as:**

EP1146616 (A2)



US6539039 (B2)



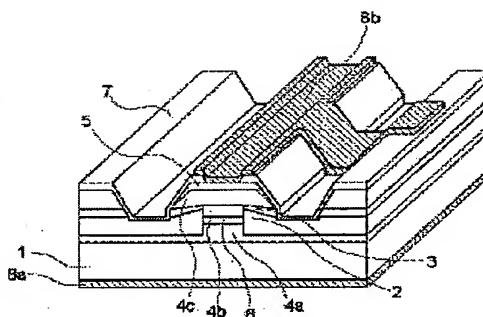
US2001030327 (A1)



EP1146616 (A3)

[Report a data error here](#)**Abstract of JP2001298240**

PROBLEM TO BE SOLVED: To manufacture, with good productivity, a buried hetero structure type optical semiconductor element which has a small capacity and is suitable for high speed transmission of light which has a semi-insulating semiconductor block layer and a carrier trap layer by lowering the requirement for a controllability of an etching depth which is required for a mesa narrowing process to reduce the element capacity. **SOLUTION:** By forming a buried clad layer and a contact layer by selective growth, a narrow mesa structure formed by etching a part of the carrier trap layer and semi-insulating block layer can be formed without etching the buried clad layer.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-298240
(P2001-298240A)

(43)公開日 平成13年10月26日(2001.10.26)

(51)Int.Cl.⁷
H 0 1 S 5/223
5/323

識別記号

F I
H 0 1 S 5/223
5/323

データベース*(参考)
5 F 0 7 3

審査請求 有 請求項の数12 O L (全 10 頁)

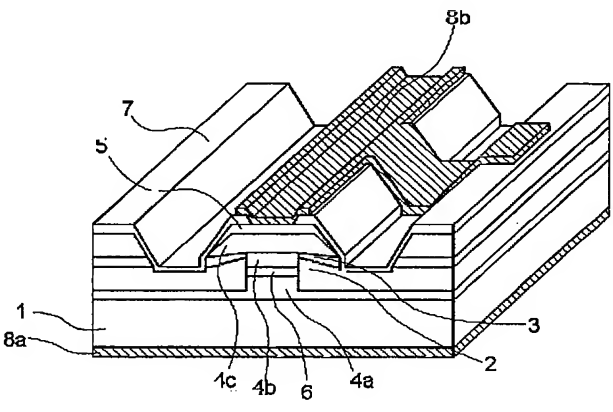
(21)出願番号	特願2000-110614(P2000-110614)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成12年4月12日(2000.4.12)	(72)発明者	古嶋 裕司 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100082935 弁理士 京本 直樹 (外2名)
		Fターム(参考)	5F073 AA22 AA23 AA46 BA01 CA12 CB02 CB11 CB19 DA05 DA22 EA14

(54)【発明の名称】 光半導体装置およびその製造方法

(57)【要約】

【課題】 半絶縁性半導体ブロック層とキャリアトラップ層を有する埋め込みヘテロ構造型光半導体素子において、素子容量低減の為に必要な狭メサ化プロセスに必要なエッチング深さの制御性を緩和し、素子容量が小さく高速光伝送に好適な光半導体素子を再現性良く作製することを可能とする。

【解決手段】 埋め込みクラッド層及びコンタクト層を選択成長により形成することにより、埋め込みクラッド層をエッチングすることなくキャリアトラップ層および半絶縁性ブロック層の一部がエッチングされた狭メサ構造を形成する。



【特許請求の範囲】

【請求項1】 半絶縁性半導体ブロック層とキャリアトラップ層を有する埋め込みヘテロ構造型光半導体素子において、選択成長によって形成されたクラッド層及びコンタクト層を有し、かつ、キャリアトラップ層および半絶縁性ブロック層がエッチングされたメサ構造を有することを特徴とする光半導体素子。

【請求項2】 前記キャリアトラップ層ならびに半絶縁性ブロック層のエッチング深さが半絶縁性ブロック層にまで到達し、かつ、該ブロック層が形成される基板にまでは到達しないことを特徴とする請求項1記載の光半導体素子。

【請求項3】 前記半絶縁性ブロック層がFe(鉄)ドーピングInPであることを特徴とする請求項1乃至2記載の光半導体素子。

【請求項4】 前記半絶縁性ブロック層がRu(ルテニウム)ドーピングInPであることを特徴とする請求項1乃至2記載の光半導体素子。

【請求項5】 前記キャリアトラップ層がSi(シリコン)ドーピングInPであることを特徴とする請求項1乃至2記載の光半導体素子。

【請求項6】 前記キャリアトラップ層がSe(セレン)ドーピングInPであることを特徴とする請求項1乃至2記載の光半導体素子。

【請求項7】 請求項1乃至6記載の光半導体素子と、該光半導体素子からの出力光を外部に導波するための手段と、この導波手段に前記光半導体素子からの出力光を入力する機構と、上記光半導体素子を駆動するための電気的インターフェースを具備する光通信用モジュール。

【請求項8】 請求項1乃至6記載の光半導体素子を有する通信手段と、この通信手段からの出力光を受信するための受信手段とを有する光通信装置および光通信システム。

【請求項9】 半絶縁性半導体ブロック層とキャリアトラップ層を有する埋め込みヘテロ構造型光半導体素子の製造工程において、クラッド層及びコンタクト層の少なくとも一部分を選択成長によって形成し、かつ、該クラッド層及びコンタクト層の選択成長後にキャリアトラップ層および半絶縁性ブロック層の一部をエッチングする工程を有することを特徴とする光半導体素子の製造方法。

【請求項10】 前記キャリアトラップ層および半絶縁性ブロック層の一部のエッチング行程において、前記選択成長によって形成されたコンタクト層材料に対するエッチング速度が該キャリアトラップ層材料および半絶縁性ブロック層材料に対するエッチング速度よりも遅い選択性エッチングを用い、選択成長によって形成されたコンタクト層部分をエッチングマスクとして用いることを特徴とする請求項9記載の光半導体素子の製造方法。

【請求項11】 半絶縁性半導体ブロック層とキャリア

トラップ層を有する埋め込みヘテロ構造型光半導体素子において、半絶縁性半導体ブロック層およびキャリアトラップ層の形成前に該キャリアトラップ層および半絶縁性ブロック層の一部をエッチングし、該エッチング工程後にクラッド層及びコンタクト層を選択成長によって形成する工程を有することを特徴とする光半導体素子の製造方法。

【請求項12】 請求項8乃至10記載の光半導体素子の製造方法において、前記キャリアトラップ層ならびに半絶縁性ブロック層のエッチング深さが半絶縁性ブロック層にまで到達し、かつ、該ブロック層が形成される基板にまでは到達しないことを特徴とする光半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主に光通信に用いられる半導体光素子ならびに光通信装置に関し、特に半絶縁性半導体ブロック層とキャリアトラップ層を有する埋め込みヘテロ構造型光半導体素子ならびに光通信装置に関するものである。

【0002】

【従来の技術】光ファイバ通信システム用の光源として、種々の光半導体素子ならびに光モジュールが研究・開発されている。特に数Gbit/Sec以上の高速変調に用いる光半導体素子においては素子容量の低減が重要であり、素子容量の大幅な低減と安定な横モード発振特性を両立する有効な手段として半絶縁性半導体ブロック層を有する埋め込みヘテロ構造(Semi-Insulating Buried Heterostructure: SI-BH構造)が実用に供されている。図1が定義されていません。は従来技術に係るSI-BH構造を有する半導体レーザを示したものである。一般に半絶縁性半導体ブロック層は電子およびホールからなる電流キャリアの一方に対しては高抵抗層として機能するが他方のキャリアに対しては高抵抗体として機能しないため、該高抵抗層として機能しないキャリアに対するキャリアトラップ層を形成することにより電流狭窄性能を向上する手法が用いられる。

【0003】図24に示したSI-BH構造の場合、半絶縁性半導体ブロック層として用いられているFeドーピングInPは電子電流に対しては高抵抗層として機能するが、ホール電流に対しては高抵抗層として機能しないためFeドーピングInPブロック層2aのp電極側にホールキャリアトラップ層としてSiドーピングInPホールトラップ層3aが形成されている。該キャリアトラップ層には高濃度のドーピングを行わなくてはならない為、抵抗率が非常に低くなっており、キャリアトラップ層の幅だけ等電位面が広がり素子容量を増加させてしまう。従って、キャリアトラップ層を有するSI-BH構造においてはキャリアトラップ層幅を小さくするためにエッ

チングによる狭メサ構造を形成しなければならない。図24ならびに図25に示した従来技術に係る半導体レーザにおいてはエッチング溝9がn-InP基板1

が定義されていません。aにまで達している為、エッチング溝底10において電極8b-絶縁膜7-n-InP基板1aという構成になり、配線容量を規定するパラメータの1つである絶縁層厚が絶縁膜7のみの厚さとなるために寄生容量が大きくなってしまふという欠点を有する。これに対して図26に示すようにキャリアトラップ層3全てをエッチングで除去し、かつ、半絶縁性半導体ブロック層2a部分を残す構造とした場合には電極8b-絶縁膜7-半絶縁性半導体ブロック層2a-n-InP基板1aという構成となり、該絶縁層厚が絶縁膜7と半絶縁性半導体ブロック層2aの合計層厚となるため、配線容量が低減される。しかしながら、平坦な埋め込みクラッド層4cを有する従来構成ではクラッド層を含む1.5~2 μ m以上をエッチングする必要があるため、十分な半絶縁性半導体ブロック層厚を残すには高精度なエッチング深さ制御が必要である。特に、SSC (Spot-Size Converter: スポットサイズ変換器) 導波路層等を具備する光半導体素子においては、光電界がコンタクト層5、絶縁層7、電極8b、あるいは素子外部にまで染み出すことを防ぐために、埋め込みクラッド層4cの厚さを3~4 μ m以上にする必要があり、十分な半絶縁性半導体ブロック層厚を残すには極めて高精度なエッチング深さ制御性ならびにエッチングおよび各半導体層厚の均一性が必要であるという問題がある。

【0004】

【発明が解決しようとする課題】本発明は上記のような問題点を排除するためになされたものであり、その目的とするところは、素子容量が小さく高速光伝送に好適な光半導体素子を再現性良く作製することを可能とし、同素子を搭載することにより高速光伝送に好適な光通信用モジュール、ならびに同素子あるいは同モジュールを用いた高速光通信装置をより安価に提供することである。

【0005】

【課題を解決するための手段】前記課題を解決するための手段としての本発明は、半絶縁性半導体ブロック層とキャリアトラップ層を有する埋め込みヘテロ構造型光半導体素子において、選択成長によって形成されたクラッド層及びコンタクト層を有し、かつ、キャリアトラップ層および半絶縁性ブロック層がエッチングされたメサ構造を有することを特徴とする。また、前記キャリアトラップ層ならびに半絶縁性ブロック層のエッチング深さが半絶縁性ブロック層にまで到達し、かつ、ブロック層下の半導体基板にまでには到達しないことを特徴とする。

【0006】(作用)本発明を用いることにより、埋め込みクラッド層をエッチングする必要が無く、キャリアトラップ層のみをエッチングすれば良いため、必要とさ

れるエッチングの深さ制御性が大幅に緩和される。また、エッチング溝底部の半絶縁性半導体ブロック層を確実に残すことが可能であり、電極配線に起因する寄生容量を低減することが可能となる。これにより、素子容量が小さく高速光伝送に好適な光半導体素子を再現性良く作製することを可能とし、同素子を搭載した小型光通信用モジュール、ならびに同素子あるいは同モジュールを用いた高速光通信装置を安価に提供することを可能とする。

【0007】

【発明の実施の形態】次に、本発明の実施の形態および実施例について図面を参照して詳細に説明するが、本発明は以下の実施の形態および実施例に限定されるものではない。

【0008】図1は本発明の第一の実施形態に係る光半導体素子を示した斜視図である。図中埋め込みクラッド層4c及びコンタクト層5は選択成長によって形成され、キャリアトラップ層3および半絶縁性ブロック層2の一部のエッチングは該クラッド層4c及びコンタクト層5の形成後に実施されたものである。

【0009】図2~7は本実施形態の光半導体素子およびその製造方法を説明するための本発明第1の実施例として、発振波長1.3 μ m帯のFP-LD (Fabri-Perot LaSer Diode) の作製工程を示した図である。n-InP基板1a上にMOVPE法によりn-InPクラッド層4a (厚さ0.2 μ m, ドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、InGaAsPのSCHおよびMQW項増を有する活性層6 (量子井戸数8, 厚さ0.2 μ m, PL (フォトルミネッセンス) 波長1.3 μ m)、p-InPクラッド層4b (厚さ0.1 μ m, ドーピング濃度 $7 \times 10^{17} \text{ cm}^{-3}$) を順次成長する (図2)。続いてp-InPクラッド層4b上にSiO₂ストライプマスク11 (幅1.6 μ m) を形成し、該マスクを用いた半導体エッチングにより活性層幅1.6 μ mのメサストライプ12を形成する (図3)。さらに、前記マスクを用いた選択成長により、FeドープInP半絶縁性ブロック層2a (厚さ2.5 μ m) およびSiドープInPホールトラップ層3a (厚さ0.5 μ m, ドーピング濃度 $3 \times 10^{18} \text{ cm}^{-3}$) を形成する (図4)。前記マスクを除去した後、1対のSiO₂ストライプマスク11 (幅8 μ m, 間隔5 μ m) を形成し、これをマスクとしてp-InPクラッド層4c (厚さ1.5 μ m, ドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$) およびp-InGaAsコンタクト層5a (厚さ0.3 μ m, ドーピング濃度 $1 \times 10^{19} \text{ cm}^{-3}$) の選択成長を行う (図5)。続いて、前記選択成長マスクを除去した後、p-InPクラッド層およびp-InGaAsコンタクト層のメサストライプを覆う形で幅6 μ mのSiO₂マスクストライプ11を形成し、これをマスクとしたドライエッチングによりSiドープInPホールトラップ層3aおよびF

e ドープ InP 半絶縁性ブロック層 2a の一部を除去する (図 6)。ここでホールトラップ層 3a による等電位面の広がり止めるためにホールトラップ層 3a は完全に除去する必要がある、かつ、電気配線による寄生容量増加を抑制するために半絶縁性ブロック層 2a を残す厚さは大きい方が好ましいことから、エッチング深さは $0.7\mu\text{m}$ とした。さらにエッチングマスク 11 を除去した後、 SiO_2 絶縁膜 7 (厚さ $0.4\mu\text{m}$) を形成し、電極コンタクト開口形成および電極形成プロセス、劈開、端面コーティングプロセスを経て、図 7 に示す $1.3\mu\text{m}$ 帯半導体レーザを得た。本実施例の $1.3\mu\text{m}$ 帯半導体レーザは共振器長 $250\mu\text{m}$ で素子容量 0.5pF 、 70mA 駆動と気の 3dB 帯域 12GHz と良好な高速変調特性を示した。本実施例においてはクラッド層及びコンタクト層の選択成長を行うための SiO_2 ストライプマスクの間隔は $5\mu\text{m}$ としたが、このマスク間隔は選択成長によって形成されるメサ底部の幅となり、続くキャリアトラップ層および半絶縁性ブロック層一部のエッチングによる狭メサ形成工程後のキャリアトラップ層幅の下限を規定する為、 $10\mu\text{m}$ 以下にすることが望ましい。一方、ストライプ間隔が小さすぎると台形状に形成される選択成長メサ上部の幅が小さくなり電極コンタクト抵抗が大きくなる為、 $3\mu\text{m}$ 以上とすることが望ましい。また、キャリアトラップ層および半絶縁性ブロック層一部のエッチングにはドライエッチングを用いたが、臭化水素や臭素-メタノール系、あるいは塩酸系や硫酸系のエッチャントによるウェットエッチングを用いても良い。

【0010】図 8 は本発明の第二の実施形態に係る光半導体素子を示した斜視図である。図中クラッド層 4c 及びコンタクト層 5 は選択成長によって形成され、キャリアトラップ層 3b および半絶縁性ブロック層 2b の一部のエッチングは該コンタクト 5 をエッチングマスクとして用いた選択性エッチングによって行われたものである。

【0011】図 9～14 は本実施形態の光半導体素子およびその製造方法を説明するための本発明第 2 の実施例として、発振波長 $1.55\mu\text{m}$ 帯の SSC (Spot Size Converter: スポットサイズ変換器) 集積化 DFB-LD (Distributed Feedback Laser Diode: 分布帰還型レーザ) の作製工程を示した図である。まず n-InP 基板 1a 上に DFB-LD 活性層を形成する領域に EB (Electron Beam: 電子ビーム) 露光リソグラフィを用いて周期 240nm の回折格子 !

が定義されていません。を形成し、続いて活性層および SSC 導波路成長用の SiO_2 マスクを CVD 法により堆積、フォトリソグラフィによりパターンニングする (図 9)。ここで活性層および SSC 導波路を成長するための SiO_2 マスク 11 の開口幅は $1.6\mu\text{m}$ 、マスク

幅は DFB-LD 部分 14 で $30\mu\text{m}$ であり、SSC 部 15 先端に向かってマスク幅を $5\mu\text{m}$ まで狭くすることによって導波路コア層厚が徐々に小さくなる SSC 導波路が形成されるように設計している。また DFB-LD 部 14 の長さは $300\mu\text{m}$ 、SSC 部 15 の長さは $200\mu\text{m}$ とした。このように回折格子 13 および SiO_2 マスク 11 を形成した基板の上に、活性層成長用開口ストライプ部における膜厚ならびに組成で、InAlGaAs の SCH および歪 MQW 構造を有する活性層 6 (量子井戸数 6、厚さ $0.2\mu\text{m}$ 、PL 波長 $1.56\mu\text{m}$)、p-InP クラッド層 4b (厚さ $0.1\mu\text{m}$ 、ドーピング濃度 $5 \times 10^{17}\text{cm}^{-3}$) を選択 MOVPE 成長により形成する (図 10)。次に、フォトリソグラフィにより活性層を含むメサ型光導波路の上部にのみ SiO_2 マスク 11 を形成し、該マスクを用いた選択成長により、Ru ドープ InP 半絶縁性ブロック層 2b (厚さ $1.3\mu\text{m}$) および Se ドープ InP ホールトラップ層 3b (厚さ $0.3\mu\text{m}$ 、ドーピング濃度 $3 \times 10^{18}\text{cm}^{-3}$) を形成する (図 11)。前記マスク 11 を除去した後、1 対の SiO_2 ストライプマスク 11 (幅 $12\mu\text{m}$ 、間隔 $8\mu\text{m}$) を形成し、これをマスクとして p-InP クラッド層 4c (厚さ $4.0\mu\text{m}$ (ドーピング濃度 $1 \times 10^{18}\text{cm}^{-3}$) および p-InGaAs コンタクト層 5a (厚さ $0.3\mu\text{m}$ 、ドーピング濃度 $8 \times 10^{18}\text{cm}^{-3}$) の選択成長を行う (図 12)。続いて選択成長マスク 11 を除去した後、前記選択成長によりメサ全体が p-InGaAs コンタクト層 5a に覆われていることを利用し、InP に対しては十分に大きなエッチング速度を有し、かつ、InGaAs に対してはエッチング速度が小さい塩酸と酢酸の混合液を用いて Se ドープ InP キャリアトラップ層 3b および Ru ドープ InP 半絶縁性ブロック層 2b の一部のエッチングを行う (図 13)。エッチング深さは本発明第 1 の実施例と同じ理由から、キャリアトラップ層 3b を完全に除去し、かつ、半絶縁ブロック層厚 2b を十分に残す為 $0.4\mu\text{m}$ とした。続いて SiN 絶縁膜 7 (厚さ $0.3\mu\text{m}$) を形成し、電極コンタクト開口および電極形成プロセス、劈開、端面コーティングプロセスを経て、図 14 に示す $1.55\mu\text{m}$ 帯 SSC 集積化 DFB-LD を得た。本実施例の SSC 集積化 DFB-LD は DFB-LD 部の実効屈折率と回折格子周期によって決定される波長 $1.552\mu\text{m}$ で発振し、素子容量 0.8pF 、 70mA 駆動時の 3dB 帯域 11GHz と良好な高速変調特性を示した。本実施例においては塩酸と酢酸の混合液を選択エッチャントとして用いたが、塩酸単体あるいは塩酸とリン酸の混合液なども選択エッチャントとして用いることができ、また、使用するエッチャントは本実施例に限定されるものではない。

【0012】図 15 は本発明の第三の実施形態に係る光半導体素子を示した斜視図である。図中クラッド層 4c 及びコンタクト層 5 は選択成長によって形成され、キャ

リアトラップ層3および半絶縁性ブロック層2の一部のエッチングは該クラッド層4c及びコンタクト層5の選択成長前に実施されたものである。

【0013】図16～21は本実施形態の光半導体素子およびその製造方法を説明するための本発明第3の実施例として、 $1.58\mu\text{m}$ 帯のEA(Electroabsorption:電界吸収型)変調器集積化DFB-LDの作製工程を示した図である。まずn-InP基板

1が定義されていません。a上のDFB-LD活性層を形成する領域にEB露光リソグラフィを用いて周期 242nm の回折格子13を形成し、続いてDFB-LD部の活性層およびEA変調器部の吸収層を選択成長する為の SiO_2 マスクをCVD法により堆積、フォトリソグラフィによりパターニングする(図16)。ここでDFB-LD部の活性層およびEA変調器部の吸収層を成長するための SiO_2 マスク11の開口幅は $1.7\mu\text{m}$ 、マスク幅はDFB-LD活性層部分で $20\mu\text{m}$ 、EA変調器部吸収層で $12\mu\text{m}$ とすることによりEA変調器部吸収層の電界非印加時量子準位波長がDFB-LD部の発振波長よりも短くなるように設計している。このように回折格子13および SiO_2 マスク11を形成した基板上に、DFB-LD活性層成長用開口ストライプ部における膜厚ならびに組成で、InGaAsPのSCHおよび歪MQW構造を有する活性層6(量子井戸数8、厚さ $0.24\mu\text{m}$ 、PL波長 $1.59\mu\text{m}$)、p-InPクラッド層4b(厚さ $0.1\mu\text{m}$ 、ドーピング濃度 $5 \times 10^{17}\text{cm}^{-3}$)を選択MOVPE成長により形成する(図17)。次に、フォトリソグラフィにより活性層および吸収層を含むメサ型光導波路の上部にのみ SiO_2 マスク11を形成し、該マスクを用いた選択成長により、FeドープInP半絶縁性ブロック層2a(厚さ $1.0\mu\text{m}$)およびSiドープInPホールトラップ層3a(厚さ $0.2\mu\text{m}$ 、ドーピング濃度 $7 \times 10^{18}\text{cm}^{-3}$)を形成する(図18)。前記マスク11を除去した後、p-InPクラッド層およびp-InGaAsコンタクト層のメサストライプを覆う形で幅 $5\mu\text{m}$ の SiO_2 マスクストライプ11を形成し、これをマスクとしたドライエッチングによりSiドープInPホールトラップ層3aおよびFeドープInP半絶縁性ブロック層2aの一部を除去する(図19)。ここでもエッチング深さは本発明第1の実施例ならびに第2の実施例と同じ理由から、キャリアトラップ層3aを完全に除去し、かつ、半絶縁ブロック層2a厚を十分に残す為に $0.3\mu\text{m}$ とした。該エッチングマスク11を除去した後、1対の SiO_2 ストライプマスク11(幅 $8\mu\text{m}$ 、間隔 $4\mu\text{m}$)を形成し、これをマスクとしてp-InPクラッド層4c(厚さ $1.5\mu\text{m}$ 、ドーピング濃度 $7 \times 10^{17}\text{cm}^{-3}$)およびp-InGaAsコンタクト層5a(厚さ $0.3\mu\text{m}$ 、ドーピング濃度 $7 \times 10^{18}\text{cm}^{-3}$)の選択成長を行う(図20)。続いて SiO_2 絶縁膜7

(厚さ $0.6\mu\text{m}$)を形成し、電極コンタクト開口および電極形成プロセス、劈開、端面コーティングプロセスを経て、図21に示す $1.58\mu\text{m}$ 帯のEA変調器集積化DFB-LDを得た。本実施例のEA変調器集積化DFB-LDはDFB-LD部の実効屈折率と回折格子周期によって決定される波長 $1.581\mu\text{m}$ で発振し、長さ $200\mu\text{m}$ の変調器部の素子容量 0.4pF 、 3dB 帯域 16GHz と良好な高速変調特性を示した。

【0014】図22は本発明第4の実施例として、本発明第3の実施例に係るEA光変調器集積DFB-LD17からの出力光が非球面レンズ18および光アイソレータ19を介して光ファイバ20に入力されるように固定し、さらに該EA光変調器集積DFB-LDを駆動するための電気インターフェース21を内蔵した光通信用送信モジュール22を示したものである。本モジュールを用いれば、高速光送信信号を容易に作り出すことができる。これは本発明に係る光半導体素子が高速変調特性に優れていることに基づく。

【0015】図23は本発明5の実施例として、本発明第4の実施例に係る光送信モジュール22を用いた光通信システムを示したものである。光送信装置23は光送信モジュール22と該光送信モジュールを駆動する為の駆動系24を有する。光送信装置22から出力された信号光は光ファイバ20を通じて伝送され、受信装置25内の受光モジュール26で検出される。本実施例に係る光通信システムを用いることにより、 $2.5\text{Gb}/\text{S}$ あるいは $10\text{Gb}/\text{S}$ 以上の高速光伝送が容易に実現できる。これは、本発明に係る光送信モジュールが良好な高速変調特性を有し、立ち上がり・立ち下がりが高速で良好な光伝送波形が得られることに基づく。

【0016】なお、本発明の第一の実施形態、即ち、選択成長によって形成されたクラッド層及びコンタクトを有し、キャリアトラップ層および半絶縁性ブロック層の一部のエッチングが該クラッド層及びコンタクト層の形成後に行われる形態の実施例としてFP-LDを、第二の実施形態、即ち、キャリアトラップ層および半絶縁性ブロック層の一部のエッチングを選択成長によって形成したコンタクト層をエッチングマスクとして用いた選択性エッチングによって行う形態の実施例としてSSC-DFB-LDを、第三の実施形態、即ち、キャリアトラップ層および半絶縁性ブロック層の一部のエッチングを該クラッド層及びコンタクト層の選択成長前に形成する形態の例としてEA変調器集積DFB-LDを用いたが、それぞれの実施形態を適用する光半導体素子はこれらの組み合わせに限定されるものでないことは言うまでもなく、単体のDFB-LDやEA変調器、あるいは半導体光増幅素子や光ゲートスイッチ素子等、あらゆる光半導体素子ならびに光モジュール、光伝送装置において適用することが可能である。

【0017】また本発明の実施例にはInGaAsP/

InP系材料ならびにInAlGaAsInP形を用い、n-InP基板を用いた例を示したが、材料系ならびに基板の導電型はこれらの実施例に限定されるものではなく、GaInNAs/GaAs系やAlGaAs/GaAs系、AlGaInP/GaInP系など、材料系を使用したものであっても良く、p型あるいは半絶縁性の基板を用いても良い。結晶成長方法や選択成長に用いるマスクや絶縁膜材料も実施例に限定されるものではなく、例えば結晶成長方法としてMBE法、選択成長マスクとしてSiNx等、あらゆる方法・材料を用いた場合にも、キャリアトラップ層を有する半絶縁性埋め込み構造を用いた光半導体素子ならびに該光半導体素子を具備する光送信モジュールおよび光通信システムにおいて、本発明は適用可能である。

【0018】

【発明の効果】本発明により、埋め込みクラッド層をエッチングする必要が無く、キャリアトラップ層のみをエッチングすれば良いため、必要とされるエッチングの深さ制御性が緩和される。また、エッチング溝底の半絶縁性半導体ブロック層を確実に残すことが可能であり、電極配線に起因する寄生容量を低減することが可能となる。これにより、寄生容量が小さく高速光伝送に好適な光半導体素子を再現性良く作製することを可能とし、同素子を搭載した小型光通信用モジュール、ならびに同素子あるいは同モジュールを用いた高速光通信装置を安価に提供することが可能となる。

【図面の簡単な説明】

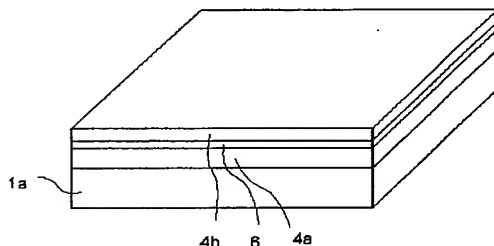
- 【図1】本発明第一の実施形態を説明する図。
- 【図2】本発明第1の実施例を説明する図。
- 【図3】本発明第1の実施例を説明する図。
- 【図4】本発明第1の実施例を説明する図。
- 【図5】本発明第1の実施例を説明する図。
- 【図6】本発明第1の実施例を説明する図。
- 【図7】本発明第1の実施例を説明する図。
- 【図8】本発明第二の実施形態を説明する図。
- 【図9】本発明第2の実施例を説明する図。
- 【図10】本発明第2の実施例を説明する図。
- 【図11】本発明第2の実施例を説明する図。
- 【図12】本発明第2の実施例を説明する図。
- 【図13】本発明第2の実施例を説明する図。

- 【図14】本発明第2の実施例を説明する図。
- 【図15】本発明第三の実施形態を説明する図。
- 【図16】本発明第3の実施例を説明する図。
- 【図17】本発明第3の実施例を説明する図。
- 【図18】本発明第3の実施例を説明する図。
- 【図19】本発明第3の実施例を説明する図。
- 【図20】本発明第3の実施例を説明する図。
- 【図21】本発明第3の実施例を説明する図。
- 【図22】本発明第4の実施例を説明する図。
- 【図23】本発明第5の実施例を説明する図。
- 【図24】従来例を説明する図。
- 【図25】従来例を説明する断面図。
- 【図26】従来例を説明する断面図。

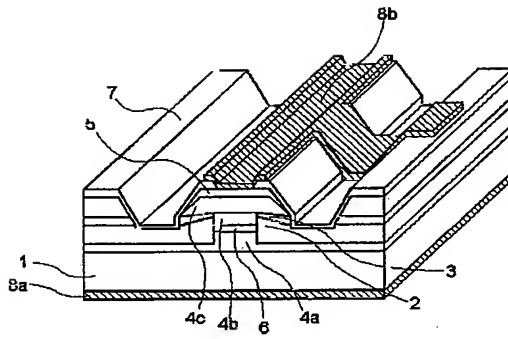
【符号の説明】

- 1：半導体基板、1a：n-InP基板、2：半絶縁性半導体ブロック層、2a：FeドーピングInPブロック層、2b：RuドーピングInPブロック層、3：キャリアトラップ層、3a：SiドーピングInPホールトラップ層、3b：SeドーピングInPホールトラップ層、4：クラッド層、4a：n-InPクラッド層、4b：p-InPクラッド層、4c：p-InP埋め込みクラッド層、5：コンタクト層、5a：p-InGaAsコンタクト層、6：活性層
- 7：絶縁膜
- 8：電極、8a：n側電極、8b：p側電極、8c：EA変調器部p電極、9：エッチング溝
- 10：エッチング溝底部
- 11：マスク
- 12：活性層メサストライプ
- 13：回折格子
- 14：DFB-LD部
- 15：スポットサイズ変換導波路部
- 16：電解吸収型変調器部
- 17：本発明第3の実施例に係るEA光変調器集積DFB-LD、18：非球面レンズ、19：光アイソレータ、20：光ファイバ、21：EA光変調器集積DFB-LD駆動用電気インタフェース、22：本発明第4の実施例に係る光送信モジュール
- 23：光送信装置、24：光送信モジュール駆動系、25：受信装置、26：受光モジュール、

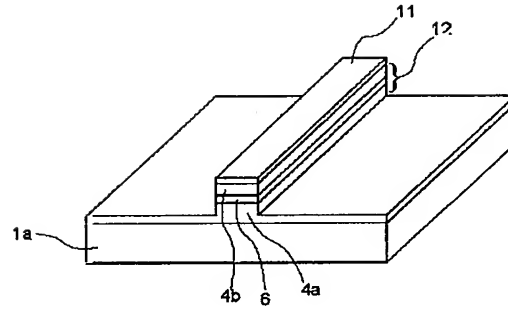
【図2】



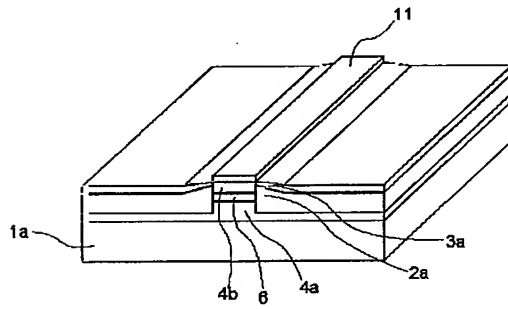
【図1】



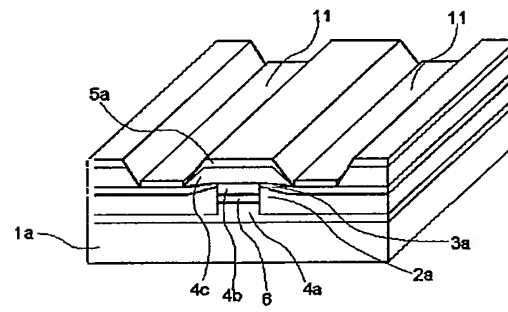
【図3】



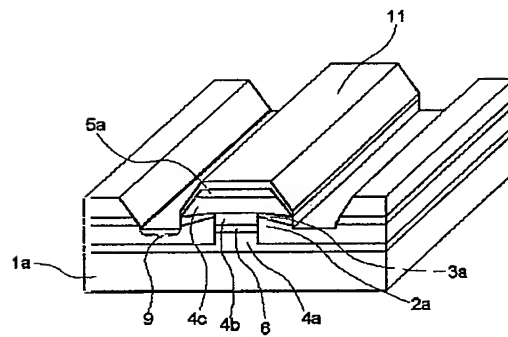
【図4】



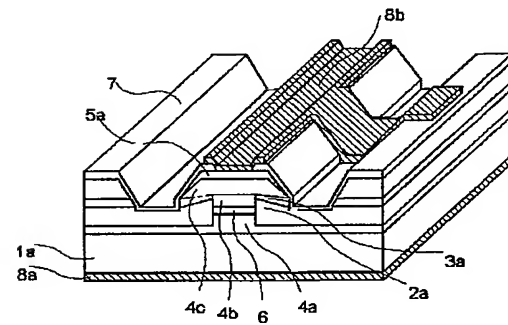
【図5】



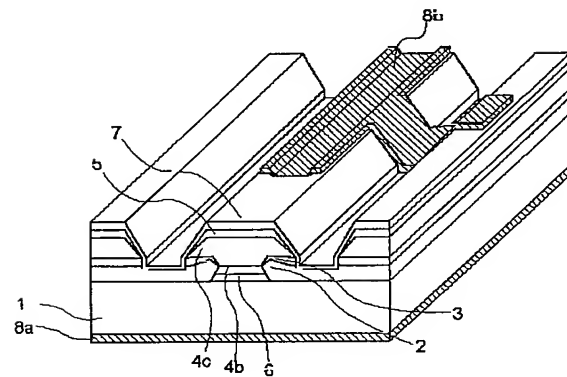
【図6】



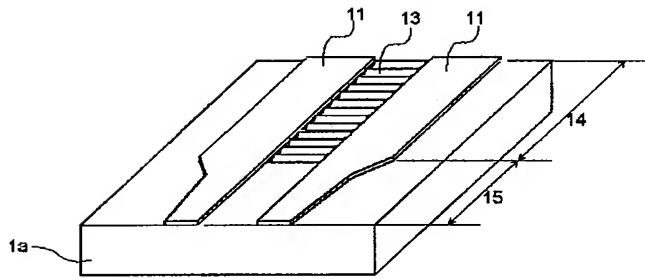
【図7】



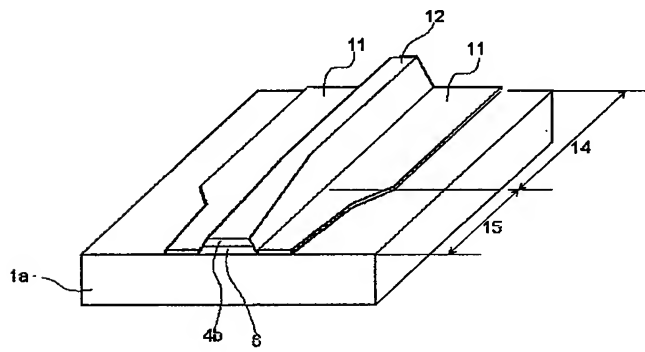
【図8】



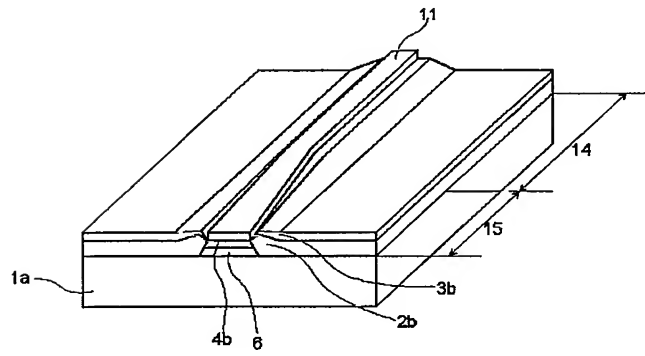
【図9】



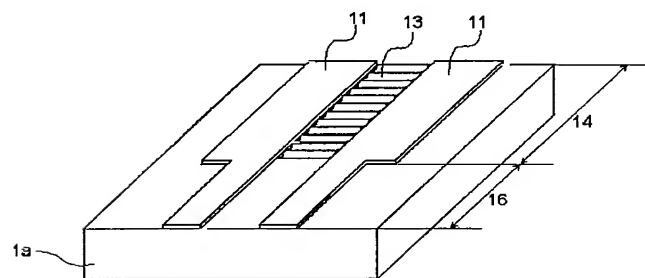
【図10】



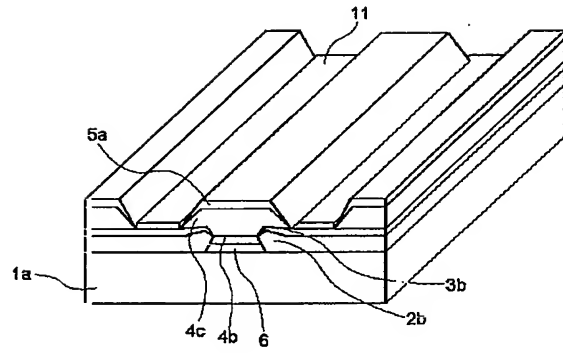
【図11】



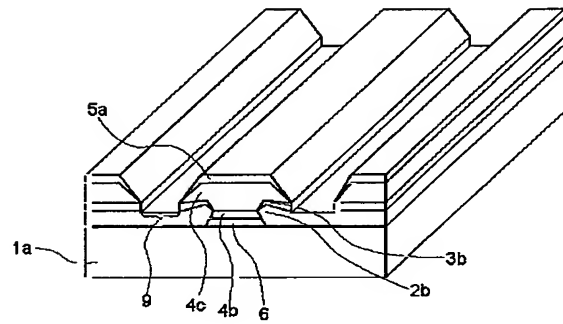
【図16】



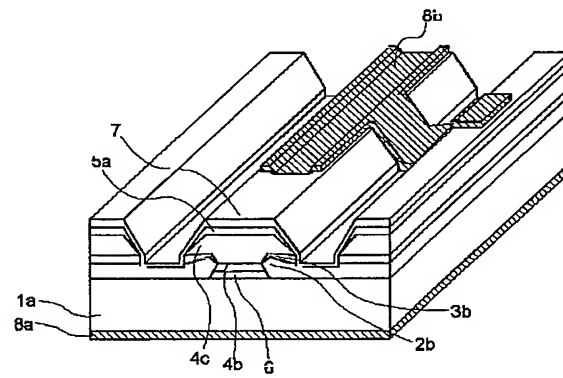
【図12】



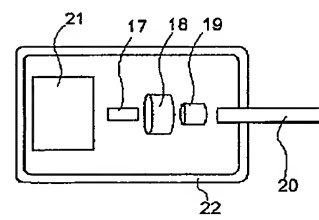
【図13】



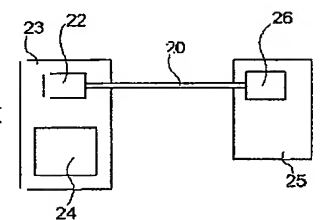
【図14】



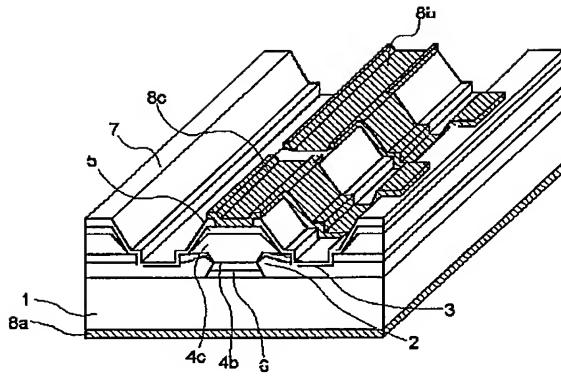
【図22】



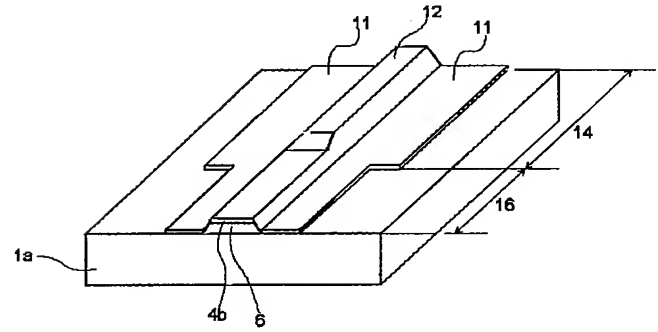
【図23】



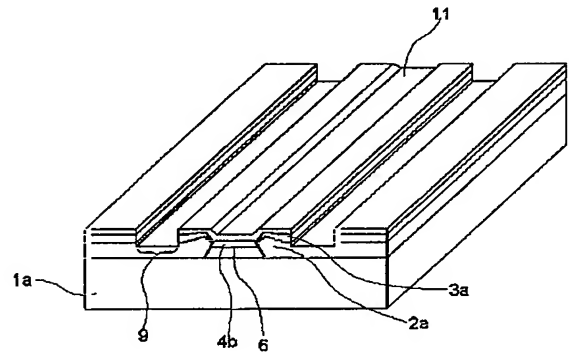
【図15】



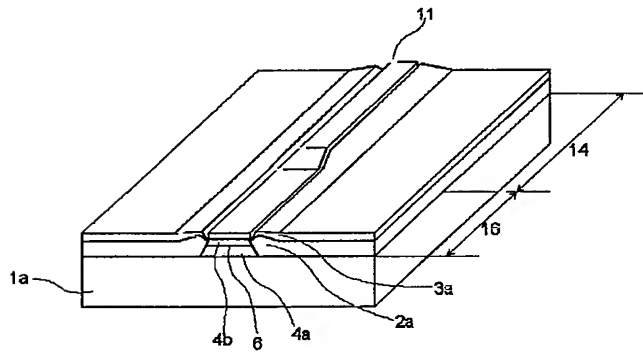
【図17】



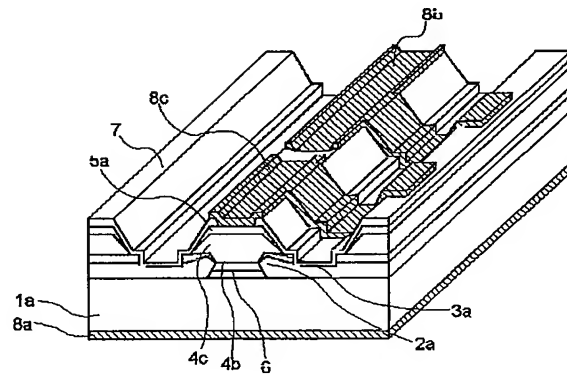
【図19】



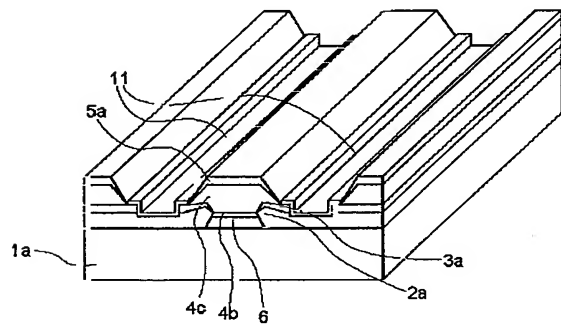
【図18】



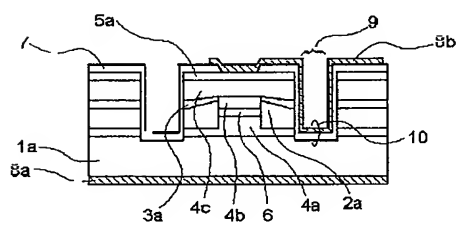
【図21】



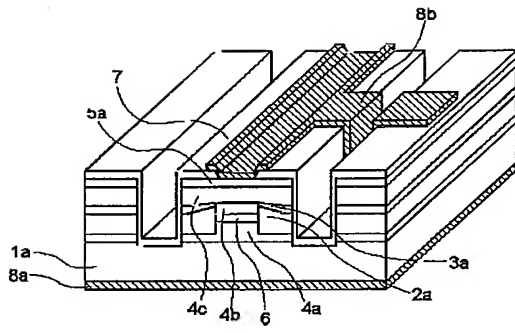
【図20】



【図25】



【図24】



【図26】

